

# Image Data Hub Firmware

**Human Centered Engineering (HuCE-microLab) / Betreuer: Prof. Dr. Theo Kluter**  
**Projektpartner: Firma, CH**

Highend Bildverarbeitungssysteme erfordern Daten-Übertragungsraten jenseits von mehreren Gbit/s. Erhältliche embedded Systeme sind häufig durch ihre limitierten Hardware-Ressourcen nicht in der Lage die geforderten Spezifikationen zu erfüllen. Für einen Industriepartner wurde im Rahmen dieser Arbeit eine Lösung für ein System entwickelt, welche die Kommunikation und die Datenverarbeitung für High Speed Streaming-Geräte in einer Single-Chip FPGA Lösung vereint.

## Problemstellung

Neue Technologien im Bereich der Bildverarbeitung oder Datenanalyse verlangen stetig grössere Übertragungsraten. Häufig sind industrielle Systeme mit solchen Anforderungen nicht auf dem Markt verfügbar. Die limitierende Bandbreite, fehlende Erweiterungsmöglichkeiten, langsame und unflexible Datenverarbeitung oder ganz einfach die falsche Baugrösse der Geräte sind nur einige der Nachteile. Diese Arbeit soll zeigen, wie es mit einer Single-Chip FPGA Lösung möglich ist, einen effizienten Datenmanager (Data Hub) für Highspeed Datenverarbeitungs-Anwendungen mit grossen Übertragungsraten zu realisieren.

## Ziele

Der Data Hub soll in der Lage sein den Daten-Stream von bis zu vier Geräten mit einem kontinuierlichen Durchsatz von bis zu 400 Mbit/s pro Kanal zu empfangen und hardwarebasiert im FPGA zu verarbeiten. Je nach Betriebsart werden die Daten anschliessend gebündelt zu einem Host-Rechner übertragen oder für die spätere Analyse auf einem nicht flüchtigen Speicher abgelegt. Die resultierende Nutzdatenrate von 1.6 Gbit/s ist dabei zu erreichen.

## Umsetzung

In einem ersten Teil der Arbeit wurde eine geeignete, industrielle Hardware evaluiert, welche diesen Anforderungen theoretisch genügt. Im zweiten

Teil wurden alle Funktionalitäten schrittweise in das System integriert. Die Herausforderung besteht darin, alle Komponenten in den limitierten Hardware-Ressourcen zu integrieren und so zu optimieren, dass die geforderten Übertragungsraten erreicht werden können.

Die aktuelle Hardware basiert auf einem Stratix IV FPGA von Altera. Die Streaming-Geräte sind je über eine Gigabit-Ethernet Schnittstelle an den Data Hub angebunden. Der 1 GByte grosse DDR2 SDRAM Speicher sorgt für genügend Speicherplatz bei der temporären Zwischenspeicherung der Daten. Die über eine SerialATA III Schnittstelle angeschlossene Harddisk dient für die längeren Aufzeichnungen. Für die Auswertung wird der Daten-Stream über einen PCI Express Link (Gen2 x4/x8) an einen Host-Rechner transferiert. Alle diese Komponenten sind direkt oder über einzel-

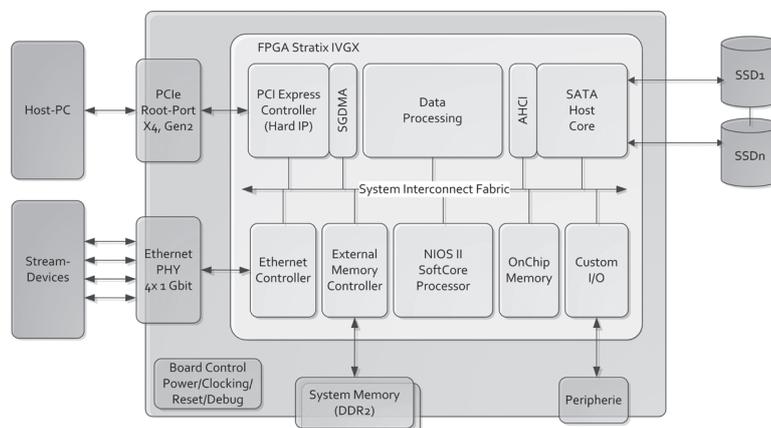
ne, externe Treiber an das FPGA angeschlossen. Die ganze Logik ist im FPGA untergebracht und wird durch einen NIOS II SoftCore-Prozessor kontrolliert.

## Ergebnisse

Die Schnittstellen sind implementiert und die Performance-Tests zeigen die erreichten Datenraten. Teils liegt die Übertragungs-Geschwindigkeit weit unter der theoretisch erreichbaren der jeweiligen Schnittstellen-Spezifikation, doch sie reicht für die geplante Anwendung aus. Durch zusätzliche Optimierung der FPGA-Interconnects und Realisierung der kritischen Funktionen in Hardware kann zudem eine markante Verbesserung der Performance erreicht werden. Der Data Hub ist soweit funktionsfähig und dokumentiert, so dass das Design vom Industriepartner umgesetzt werden kann.



Markus Brönnimann



Blockdiagramm der Data Hub Implementation