

Extreme Low-Power Digital ASIC Design Library

Studiengang: BSc in Elektrotechnik und Informationstechnologie | Vertiefung: Embedded Systems
Betreuer*in: Prof. Dr. Marcel Jacomet
Expert: Dr. Josef Goette

Bei medizinischen Implantaten wie beispielsweise Herzschrittmacher oder Hirnstimulatoren, ist der Energieverbrauch ein zentraler Aspekt. Genau hier ermöglicht die Nutzung von anwendungsspezifischen integrierten Schaltungen (ASICs) den Energieverbrauch stark zu reduzieren. Mit der neuen digitalen Entwurfsmethode der Subthreshold Source-Coupled Logic (STSCl) wird in dieser Bachelor-Thesis eine Library von Grundlogikgatter erstellt.

Ausgangslage

Forschungsergebnisse und ein erstes Chipdesign am Institut HuCE-microLab haben gezeigt, dass ein Schaltungsentwurf mit der Source Coupled Sub-Threshold Logic Technologie möglich ist. Die Vorteile gegenüber herkömmlichen CMOS Schaltungen sollen genutzt werden. Mit der STSCl Technologie kann bei tiefen Taktfrequenzen die Leistungsaufnahme gegenüber konventioneller CMOS Schaltungstechnik weiter reduziert werden. Insbesondere besteht bei STSCl Technik auch die Möglichkeit die Spannungsversorgung des ASIC auf wenige 100mV zu reduzieren, was bei medizinischen Implantaten neue Möglichkeiten eröffnet, wie direkte und einfache Nutzung von Energy Harvesting.

ASIC Schaltungen können so problemlos mit einer Versorgungsspannung von 0.5V oder sogar darunter betrieben werden und erreichen eine Leistungsaufnahme im piko-Watt Bereich pro Gatter. In dieser Arbeit wird eine Library mit einem ersten Satz von Logikgattern mit der STSCl Topologie erstellt.

Umsetzung

Eine Library welche für das Chipdesign genutzt werden kann besteht aus zahlreichen logischen Grundlogikgatter. In dieser Arbeit wurden die Gatter auf einen Inverter, ein 2- und 3-fach Nand beschränkt. Für diese Gatter wurde je ein Schema, mehrere Testbenches und ein Layout erstellt. Mit den Testbenches können die Gatter simuliert und auf die Funktion überprüft werden.

Es wurde ein Databook erstellt, in dem alle Gatter der Library charakterisiert und dokumentiert wurden. Damit ein moderner Designflow für den Chipdesign realisiert werden kann, musste die Library in die ASIC Tools von Cadence eingebunden werden. Für die automatische Synthese mit den Synopsys Tools wurde ein .lib file erstellt, welche alle Informationen über die Zellen und deren zeitlichen Eigenschaften enthält. Ausserdem wurde ein .lef file erstellt, welche alle notwendigen Layout-Informationen für den

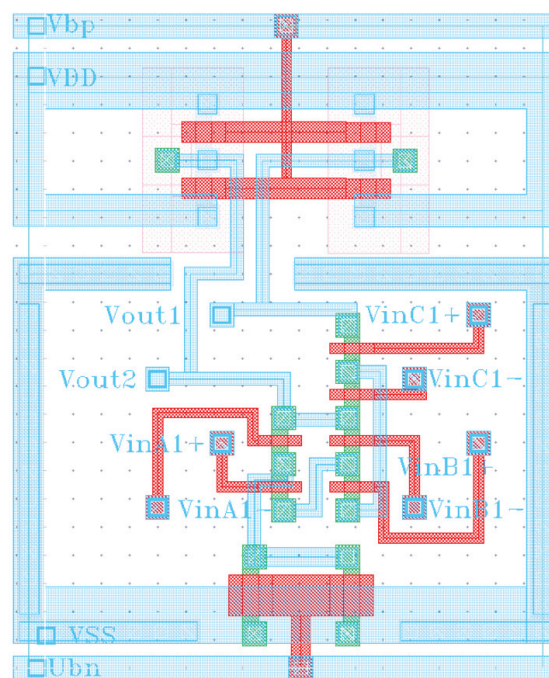
Backend Place & Route Prozess enthält. Anhand von einem Addierer-Subtrahierer Design wurde die Library getestet.

Resultat und Ausblick

Die Erstellung einer Library mit STSCl Gatter wurde anhand von wenigen Gatter durchgeführt. Aufgetauchte Probleme bei der Einbindung in die ASIC Tools wurden erkannt und dokumentiert. In einer nachfolgende Arbeit wird die Library mit weiteren Logikgattern erweitert und fertig gestellt.



Michael Streit
micha.streit@bluewin.ch



Layout STSCl 3-fach Nand 180nm