

GECKO4 Logic Analyzer

Fachgebiet: Elektro- und Kommunikationstechnik

Betreuer: Prof. Dr. Theo Kluter

Experte: Felix Kunz

Ein Logic Analyzer ist ein Messgerät, das den Zeitverlauf von digitalen Signalen aufzeichnen und bildlich darstellen kann. Kombiniert mit einem Pattern Generator, welcher digitale Stimulus erzeugt, können damit beispielsweise digitale Schaltungen getestet werden. Da die Höhe der Sample-rate ein entscheidendes Kriterium ist, bietet ein FPGA ein ideales Steuer- und Verarbeitungselement für diese Anwendung.

Ausgangslage

In einer vorangegangenen Bachelorarbeit wurde das Hardwaremodul **Gecko4 Logic Analyzer and Pattern Generator** entwickelt. Dieses bildet, zusammen mit der FPGA-Plattform Gecko4, eine Hardware, welche über 8 Aus- und 16 Eingangskanäle verfügt. In der Projektstudie wurde diese Hardware bereits gebraucht, um einen einfachen 8-Bit Pattern Generator zu implementieren. Mittels Hardwarebeschreibung des FPGA soll dieser nun zu einem Logic Analyzer mit integriertem Pattern Generator erweitert werden. Über eine grafische Benutzeroberfläche kann dieser gesteuert und die aufgezeichneten Daten dargestellt werden.

Zukünftig wird das Gerät für Laboübungen im Micro-lab verwendet und ergänzt die Logik-Simulationen mit einem **Hardware in the Loop Test**

Realisierung

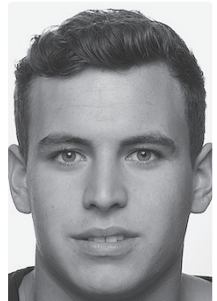
Das Projekt wurde in zwei Hauptaufgaben geteilt: Das Programmieren der grafischen Oberfläche und die Hardwarebeschreibung. Zur Kommunikation zwischen dem PC und dem Logic Analyzer wurde ein eigenes Protokoll definiert.

Anschliessend wurde in VHDL ein Beschrieb für das FPGA implementiert, welcher alle geforderten Funktionen abdeckt. Dies beinhaltet unter anderem speichern und ausgeben von Daten, steuern der Kommunikation, initialisieren von Zählern und detektieren von Triggermuster.

Dazu wurde eine grafische Oberfläche programmiert, über welche das Gerät konfiguriert wird und die aufgezeichneten Daten visualisiert werden. Zusätzlich bietet eine Analysefunktion die Möglichkeit, Messresultate mit einem Referenz-Datensatz zu vergleichen. Die Implementierung erfolgte in der Programmiersprache C++, unter Verwendung der Klassenbibliothek Qt.

Ausblick

Entstanden ist ein funktionsfähiger Logic Analyzer, der mit einer maximalen Frequenz von 100 MHz digitale Pattern ausgeben und einlesen kann. Das System kann durch den modularen Aufbau einfach ergänzt und für individuelle Anwendungen angepasst werden. In einer weiteren Phase müsste die Zuverlässigkeit, Bedienerfreundlichkeit und die Zweckmässigkeit mittels Feldtestes evaluiert werden. Zudem ist die Anbindung an eine Logik-Simulation eine interessante Erweiterungsmöglichkeit.



Roman Eich

roman.eich@bluewin.ch



Matthias Friedli

matthiasfriedli@hotmail.com